



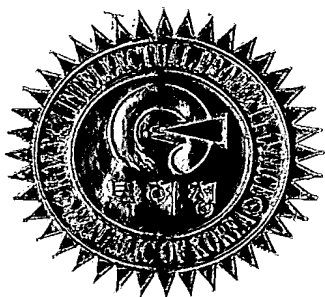
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0027679
Application Number

출원 년 월 일 : 2003년 04월 30일
Date of Application APR 30, 2003

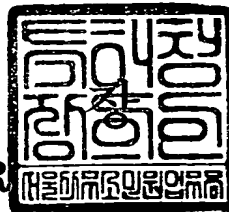
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 06 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2003.04.30
【발명의 명칭】	입 /출력 드라이버
【발명의 영문명칭】	Input/output driver
【출원인】	
【명칭】	(주)하이닉스 반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	신영무
【대리인코드】	9-1998-000265-6
【포괄위임등록번호】	1999-003525-1
【발명자】	
【성명의 국문표기】	이창열
【성명의 영문표기】	LEE,Chang Yeol
【주민등록번호】	670220-1066930
【우편번호】	134-828
【주소】	서울특별시 강동구 명일1동 270번지 삼익가든 아파트 11-1102
【국적】	KR
【발명자】	
【성명의 국문표기】	공명국
【성명의 영문표기】	GONG,Myeong Kook
【주민등록번호】	631101-1009533
【우편번호】	449-845
【주소】	경기도 용인시 수지읍 죽전1동 453-1 한신아파트 103-1703
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 신영무 (인)

【수수료】

【기본출원료】	20	면	29,000	원
---------	----	---	--------	---

【가산출원료】	0	면	0	원
---------	---	---	---	---

【우선권주장료】	0	건	0	원
----------	---	---	---	---

【심사청구료】	13	항	525,000	원
---------	----	---	---------	---

【합계】	554,000	원		
------	---------	---	--	--

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 입/출력 드라이버에 관한 것으로, I/O 드라이버에 DQ 스위치를 설치하고, 쓰기 모드시 상기 DQ 스위치를 이용하여 출력 드라이버를 DQ 패드로부터 분리시킴으로써 상기 출력 드라이버에 의해 기인하는 정전용량을 감소시켜 전체 입력 정전용량(Cin)을 감소시킬 수 있는 입/출력 드라이버를 개시한다.

【대표도】

도 1

【색인어】

GDRAM, GDDR-III, DDR-III, I/O 드라이버, DQ 스위치, ODT, ESD, CMD, Cin

【명세서】**【발명의 명칭】**

입/출력 드라이버{Input/output driver}

【도면의 간단한 설명】

도 1는 본 발명의 바람직한 실시예에 따른 입/출력 드라이버의 블록도이다.

도 2a 내지 도 2c는 도 1에 도시된 DQ 스위치의 상세 회로도이다.

도 3은 도 1에 도시된 DQ 스위치로 공급되는 공급전압에 따른 선형성의 변화를 도시한 도면이다.

도 4는 도 2a에 도시된 LVT NMOS 트랜지스터의 구동특성을 설명하기 위하여 도시한 회로도이다.

도 5는 도 2c에 도시된 전송 게이트의 구동특성을 설명하기 위하여 도시한 회로도이다.

도 6은 도 1에 도시된 DQ 스위치를 ODT 회로를 포함한 입/출력 드라이버에 적용한 회로도이다.

도 7은 도 6에 도시된 ODT 회로의 상세 회로도이다.

도 8은 도 1에 도시된 DQ 스위치를 ODT 회로, ESD 회로 및 CDM 회로를 포함한 입/출력 드라이버에 적용한 회로도이다.

〈도면의 주요 부분에 대한 부호의 설명〉

10 : 입력 버퍼

20 : 출력 버퍼

30 : DQ 스위치	40 : DQ 패드
50, 60a, 60b : 제어부	70 : ODT 회로
80 : ESD 회로	90 : CDM 회로

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <14> 본 발명은 입/출력 드라이버(Input/Output driver) 회로에 관한 것으로, 특히 DDR-III 제품의 입력 정전용량(Cin)을 효과적으로 감소시킬 수 있는 I/O 드라이버에 관한 것이다.
- <15> DDR(Double Data Rate)-III 규격의 그래픽(graphic) DRAM 제품은 채널 임피던스(channel impedance)가 40Ω(최소 30Ω튜닝지원)이 요구된다. 또한, GPU(Graphic Processor Unit)와 GDRAM(Graphic DRAM) 간의 임피던스 매칭(impedance matching)을 위해 GDRAM에 설치되는 ODT(On-Die Termination) 회로는 임피던스가 60Ω정도가 요구된다. 또한, GDRAM에서는 700MHz 급의 고속 동작시 신호 파형의 전달을 보장하기 위해 입력 정전용량(Input Capacitance; Cin)의 요구조건이 3pF 이하로 제한되어 있다.
- <16> 통상적으로 데이터가 송수신되는 DQ 핀에는 입력 버퍼(Input Buffer), 출력 드라이버(Output driver), 정전기 방지회로(ElectroStatic Discharge protection circuit; 이하, 'ESD'라 함) 및 ODT 회로 등 복잡한 회로 구성요소가 연결된다. 이에 따라 패키지(package)에 기인하는 정전용량 성분까지 감안한 입력 정전용량(Cin)은 3pF를 쉽게 초과하게 된다. 따라서, 소자분야 혹은 공정 분야의 개선 방안이 필요하다.

<17> 더욱이, ODT 회로에서 필수적인 ODT 스위치 트랜지스터(switch transistor)에 기인한 정전용량의 증가는 입력 정전용량(Cin)의 요구조건 충족 측면에서 매우 큰 부담으로 작용하고 있다. 입력 정전용량(Cin)의 최대 허용치는 메모리 동작 주파수가 증가할 수록 보다 더 작아지는 추세이다. 향후 입력 정전용량(Cin)의 감소를 위한 대책은 관련 공정 및 디자인 룰(design rule) 축소와 함께 설계 방식의 개선 등 종합적인 개선 노력이 필요하다.

【발명이 이루고자 하는 기술적 과제】

<18> 따라서, 본 발명은 상기한 종래기술의 문제점을 해결하기 위해 안출된 것으로서, DDR-III 제품의 입력 정전용량(Cin)을 효과적으로 감소시킬 수 있는 I/O 드라이버를 제공하는데 그 목적이 있다.

<19> 또한, 본 발명은 DDR-III 제품의 규격에 명시된 ODT 동작의 요구조건을 충족시키면서 동시에 입력 정전용량(Cin)을 효과적으로 감소시킬 수 있는 I/O 드라이버를 제공하는데 다른 목적이 있다.

【발명의 구성 및 작용】

<20> 본 발명의 일측면에 따르면, 쓰기 모드시 DQ 패드로부터 공급되는 입력 데이터를 메모리 셀 어레이로 공급하는 입력버퍼와, 리드 모드시 상기 메모리 셀 어레이로부터 공급되는 출력 데이터를 상기 DQ 패드로 공급하는 출력 드라이버와, 상기 쓰기 모드시 상기 DQ 패드로부터 상기 출력 드라이버를 전기적으로 분리시키는 DQ 스위치를 포함하는 I/O 드라이버를 제공한다.

- <21> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록하며 통상의 지식을 가진자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.
- <22> 도 1은 본 발명의 바람직한 실시예에 따른 I/O 드라이버를 설명하기 위하여 도시한 블록도(diagram)이다.
- <23> 도 1을 참조하면, 본 발명의 바람직한 실시예에 따른 I/O 드라이버는 입력 버퍼(10), 출력 드라이버(20) 및 DQ 스위치(30)를 포함하고, DQ 패드(40)와 연결된다.
- <24> DQ 스위치(30)는 쓰기 모드(write mode)시 턴-오프(turn-off)되어 출력 드라이버(20)를 DQ 패드(40)와 전기적으로 분리시킨다. 한편, DQ 스위치(30)는 읽기 모드(read mode)시 턴-온(turn-on)되어 출력 드라이버(20)를 DQ 패드(40)와 전기적으로 접속시킨다.
- <25> 쓰기 모드시에는 DQ 스위치(30)를 턴-오프시켜 DQ 패드(40)로부터 출력 드라이버(20)를 차단시킴으로써 출력 드라이버(20)에 의한 정전용량 증가분을 감소시킬 수 있다. 읽기 모드시에는 DQ 스위치(30)를 턴-온시켜 DQ 패드(40)와 출력 드라이버(20)를 전기적으로 접속시킴으로써 출력 드라이버(20)가 정상적으로 데이터를 출력한다.
- <26> 도 1에 도시된 바와 같이, 쓰기 모드시 DQ 패드(40)로부터 전송되는 데이터는 입력 버퍼(10)를 통해 메모리 셀 어레이(도시되지 않음)로 전송된다. 이와 같이, 쓰기 모드시에는 출력 드라이버(20)의 동작과 무관하게 입력 버퍼(10)를 통해 쓰기 동작이 이루어진다. 따라서, 본 발명의 바람직한 실시예에 따른 I/O 드라이버에서는 쓰기 모드시 DQ 스위치(30)를 이용하여 출력 드라이버(20)를 DQ 패드(40)로부터 분리시킨다. 이로써, 출력 드라이버(20)에 의해 기인

하는 정전용량 증가분을 감소시킬 수 있다. 반면, 읽기 모드시에는 메모리 셀 어레이로부터 센싱된 데이터(DATA0)를 출력 드라이버(20)를 통해 DQ 패드(40)로 출력한다. 따라서, 읽기 모드시에는 DQ 스위치(30)를 턴-온시켜 출력 드라이버(20)를 DQ 패드(40)와 전기적으로 접속시킨다.

<27> DQ 스위치(30)는 도 2a에 도시된 바와 같이, LVT(Low VT) NMOS 트랜지스터(LNM) 또는 LVT PMOS 트랜지스터(LPM)로 구성된다. 예컨대, LVT NMOS 트랜지스터(LNM) 또는 LVT PMOS 트랜지스터(LPM)의 문턱전압(Threshold Voltage; VT)은 0.15V 이하가 되는 것이 바람직하다. 또한, LVT NMOS 트랜지스터(LNM)의 게이트 전압(VG)으로는 전원전압(VDD; 1.8V) 대신에 펌핑전압(VPP; 3.5V 이상)을 인가하는 것이 바람직하다. 일반적으로 펌핑전압(VPP)은 전원전압(VDD)의 두배가 된다. 한편, LVT PMOS 트랜지스터(LPM)의 게이트 전압(VG)으로는 '-VPP' 또는 접지전압(VSS)을 인가하는 것이 바람직하다.

<28> 상기에서와 같이, DQ 스위치(30)로 이용되는 트랜지스터(이하, 'DQ 트랜지스터'라 함)의 문턱전압(VT)과 게이트 전압(VG)을 고려하는 이유는 다음과 같다. 첫째, DQ 트랜지스터에 부가되는 채널 저항이 너무 커지면 출력 드라이버(20)를 구성하는 트랜지스터의 채널 저항 및 직렬 저항에 의해서 구현되는 전체 채널 저항의 선형성을 충분히 보장하기 어렵다. 이에 따라, DQ 트랜지스터의 게이트 폭(width)을 최대한 키우고, 문턱전압(VT)을 최대한 낮춰서 DQ 트랜지스터의 온(on) 저항을 최소화시켜야 한다. 한편, DQ 트랜지스터의 게이트 폭이 너무 커지며, 접합층 정전용량(junction capacitance)(드레인/소오스 접합층에 기인하는 정전용량) 및 게이트 중첩 정전용량(gate overlap capacitance)(게이트 전극과 드레인/소오스 접합층 사이에 중첩되는 부위에서 생성되는 정전용량)이 커질 수 있으므로 게이트 폭에 대한 적절한 조절이 필요하다. 둘째, 선형성은 DQ 트랜지스터의 게이트 전압(VG)의 크기에 따라 크게 달라진다. 도 3에

도시된 바와 같이 DQ 트랜지스터의 게이트 전압(VG)이 전원전압(VDD, 즉 0~VDD)인 경우보다 펌핑전압(VPP, 즉 0~VPP)인 경우가 선형성이 더 좋게 나타난다. 또한, 게이트 전압(VG)을 펌핑전압(VPP)으로 하는 이유는 게이트 전압(VG)을 전원전압(VDD)으로 하는 경우 하이 시그널(high signal)을 전달할 때 문턱전압(VT)에 의한 손실(loss)이 생기기 때문이다.

<29> 또한, DQ 스위치(30)는 도 2b에 도시된 바와 같이, DQ 트랜지스터에 부가되는 채널 저항을 최대한 감소시키기 위하여 다수의 LVT NMOS 트랜지스터들(LNM0 내지 LNMn)이 병렬로 접속된 구성을 가질 수도 있다. 마찬가지로, 다수의 LVT PMOS 트랜지스터들(도시되지 않음)이 병렬로 접속된 구성을 가질 수도 있다. 이때, 다수의 LVT NMOS/PMOS 트랜지스터를 병렬로 접속하는 경우 전체 정전용량이 크게 증가할 수 있으므로 적절히 그 수를 조절하는 것이 바람직하다.

한편, 도 2a에 도시된 바와 같이 DQ 스위치(30)를 LVT NMOS 트랜지스터(LNM) 또는 LVT PMOS 트랜지스터(LPM)로 구성하는 경우에는 선형성 측면에서 게이트 전압(VG)으로 펌핑전압(VPP)을 인가한다. 그러나, 비교적 고전압인 펌핑전압(VPP)을 사용함에 따라 설계상의 부담이 존재할 수 있다. 이에 따라, 도 2c에 도시된 바와 같이, DQ 스위치(30)는 LVT NMOS 트랜지스터와 LVT PMOS 트랜지스터가 병렬 접속된 전송 게이트(TM)로 구성될 수도 있다. 이 경우에 각 게이트 전압(VG)은 전원전압(VDD)으로 구동이 가능하다. DQ 스위치(30)를 전송 게이트(TM)로 구성함에 따라 하이 및 로우(low) 신호 전달시 손실을 억제시킬 수 있다.

<30> 상기에서 설명한 바와 같이, DQ 스위치(30)는 쓰기 모드시 턴-오프되고, 읽기 모드시 턴-온되도록 동작되어야 한다. 이를 도 4 및 도 5에 도시된 회로도를 통해 설명하기로 한다.

<31> 도 4에 도시된 바와 같이, DQ 스위치(30)를 LVT NMOS 트랜지스터(LNM)로 구성하는 경우에는, 쓰기 인에이블신호(WE)에 따라 동작되는 제어부(50)가 구성된다. 제어부(50)는 PMOS 트랜지스터(PM)와 NMOS 트랜지스터(NM)가 직렬 접속되어 구성된다. 동작특성을 보면, 쓰기 모드

시 인에이블(하이)되는 쓰기 인에이블신호(WE)에 의해 NMOS 트랜지스터(NM)가 턴-온되고, PMOS 트랜지스터(PM)가 턴-오프된다. 이로써, LVT NMOS 트랜지스터(LNM)가 턴-오프되어 출력 드라이버(20)는 DQ 패드(40)로부터 차단된다. 반면, 리드 모드시 디스인에이블(로우)되는 쓰기 인에이블신호(WE)에 의해 NMOS 트랜지스터(NM)가 턴-오프되고, PMOS 트랜지스터(PM)가 턴-온된다. 이로써, LVT NMOS 트랜지스터(LNM)가 턴-온되어 출력 드라이버(20)는 DQ 패드(40)와 전기적으로 접속된다.

<32> 또한, 도 5에 도시된 바와 같이, DQ 스위치(30)를 전송 게이트(TM)로 구성하는 경우에는, 쓰기 인에이블신호(WE)에 따라 동작되는 제1 및 제2 제어부(60a 및 60b)가 구성된다. 제1 제어부(60a)는 PMOS 트랜지스터(PM1)와 NMOS 트랜지스터(NM1)가 직렬 접속되어 구성된다. 제2 제어부(60b)는 PMOS 트랜지스터(PM2)와 NMOS 트랜지스터(NM2)가 직렬 접속되어 구성된다. 동작특성을 보면, 쓰기 모드시에는 인에이블되는 쓰기 인에이블신호(WE)에 의해 NMOS 트랜지스터(NM1)가 턴-온되고, PMOS 트랜지스터(PM1)가 턴-오프된다. 동시에, NMOS 트랜지스터(NM2)가 턴-온되고, PMOS 트랜지스터(PM2)가 턴-오프된다. 이로써, 전송 게이트(TM)의 NMOS/PMOS 트랜지스터가 모두 턴-오프되어 출력 드라이버(20)는 DQ 패드(40)로부터 분리된다. 반면, 리드 모드시에는 디스인에이블되는 쓰기 인에이블신호(WE)에 의해 NMOS 트랜지스터(NM1)가 턴-오프되고, PMOS 트랜지스터(PM1)가 턴-온된다. 동시에, NMOS 트랜지스터(NM2)가 턴-오프되고, PMOS 트랜지스터(PM2)가 턴-온된다. 이로써, 전송 게이트(TM)의 NMOS/PMOS 트랜지스터가 모두 턴-온되어 출력 드라이버(20)는 DQ 패드(40)와 전기적으로 접속된다.

<33> 일반적으로, 도 6에 도시된 바와 같이 GPU(200)와 GDRAM(100) 간의 임피던스

매칭을 위해 GDRAM(100)에는 ODT(70) 회로가 설치된다. ODT(70) 회로는 임피던스가 60Ω 정도가 요구된다. 본 발명의 바람직한 실시예에 따른 I/O 드라이버에서 ODT(70) 회로는 DQ 스위치(30)와 DQ 패드(40)가 접속되는 노드(N)와 전원전압원 사이에 설치된다. 구체적으로, 도 7에 도시된 바와 같이, ODT(70) 회로는 전원전압(VDD)이 공급되는 전원전압원과 노드(N) 사이에 접속된다. ODT(70) 회로는 ODT 스위치(ODTS)와 ODT 저항(ODTR)으로 구성된다. ODT 스위치(ODTS)는 GPU(200)의 제어신호(GPUCA)에 의해 제어된다. 또한, 도 8에 도시된 바와 같이, ODT(70) 회로 이외에도 I/O 드라이버에는 ESD(80) 회로와 CDM(Charged Device Model; 90) 회로가 더 포함된다. ESD(80)회로는 DQ 패드(40)와 CDM(90) 회로 사이에 설치되고, 직렬 접속된 ESD 트랜지스터들(ESDU 및 ESDD)로 구성된다. CDM(90) 회로는 입력 버퍼(10)와 ESD(80) 회로 사이에 설치되고, CDM 트랜지스터(CDMT)와 CDM 저항(CDMR)으로 구성된다.

<34> 도 8에 도시된 바와 같이, 쓰기 모드시, 본 발명의 바람직한 실시예에 따른 I/O 드라이버의 전체 입력 정전용량(Cin)은 입력 버퍼(10), CDM(90) 회로, ESD(80) 회로, ODT(70) 회로의 ODT 스위치(ODTS) 및 DQ 스위치(30)의 접합층 정전용량 및 게이트 중첩 정전용량의 총 합이 된다. 이 외에도, 패키지에 기인하는 정전용량 및 시그널 메탈 라인(signal metal line)의 인터커넥션(interconnection) 정전용량이 추가된다. 본 발명의 바람직한 실시예에 따른 I/O 드라이버에서는 DQ 스위치(30)가 추가됨에 따라 DQ 스위치(30)가 없는 기존의 I/O 드라이버에 비해 DQ 스위치(30)를 구성하는 트랜지스터의 접합층 정전용량 및 게이트 중첩 정전용량은 증가한다. 그러나, 쓰기 모드시 DQ 스위치(30)를 이용하여 출력 드라이버(20)를 DQ 패드(40)로부터 분리시킴으로써 전체적인 입력 정전용량(Cin)은 감소된다. 이는, DQ 스위치(30)에 의해 증가되는 정전용량에 비해 출력 드라이버(20)의 접합층 정전용량 및 게이트 중첩 정전용량에 의한 증가분이 훨씬 더 크게 나타나기 때문이다. 이를 하기의 표 1를 통해 설명한다.

<35> 【표 1】

DQ 핀[pF]	ESD 회로	CDM 회로	출력 드라이버	ODT 회로	DQ 스위치	패키지	기타	총합
DQ 스위치 미사용	0.600	0.050	0.565	0.305	0.000	1.070	0.500	3.090
DQ 스위치 사용	0.600	0.050	0.000	0.305	0.176	1.070	0.500	2.701

<36> 상기 표 1은 GDRAM용 DDR-III 규격에 맞게 설계된 I/O 드라이버 회로에서 계산된 입력 정전용량(Cin)의 값을 표시하였다. 상기 표 1과 같이 DQ 스위치의 사용에 의해서 약 0.39pF(12.6%)의 입력 정전용량(Cin)을 절감할 수 있다. 이로써, GDRAM용 DDR-III 규격에서 요구하는 입력 정전용량(Cin)의 요구조건을 충족시킬 수 있다.

<37> 상기에서 설명한 본 발명의 기술적 사상은 바람직한 실시예에서 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명은 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술적 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

【발명의 효과】

<38> 상술한 바와 같이, 본 발명에서는 I/O 드라이버에 DQ 스위치를 설치하고, 쓰기 모드시 상기 DQ 스위치를 이용하여 출력 드라이버를 DQ 패드로부터 분리시킴으로써 상기 출력 드라이버에 의해 기인하는 정전용량을 감소시켜 전체 입력 정전용량(Cin)을 감소시킬 수 있다.

<39> 본 발명은 I/O 드라이버에 ODT 회로와 DQ 스위치를 설치함으로써 DDR-III 제품의 규격에 명시된 ODT 동작의 요구조건을 충족시키면서 동시에 입력 정전용량(Cin)을 효과적으로 감소시킬 수 있다.

【특허청구범위】**【청구항 1】**

쓰기 모드시 DQ 패드로부터 공급되는 입력 데이터를 메모리 셀 어레이로 공급하는 입력 버퍼;

리드 모드시 상기 메모리 셀 어레이로부터 공급되는 출력 데이터를 상기 DQ 패드로 공급하는 출력 드라이버; 및

상기 쓰기 모드시 상기 DQ 패드로부터 상기 출력 드라이버를 전기적으로 분리시키는 DQ 스위치를 포함하는 것을 특징으로 하는 I/O 드라이버.

【청구항 2】

제 1 항에 있어서,

상기 DQ 스위치는 NMOS 트랜지스터 또는 PMOS 트랜지스터인 것을 특징으로 I/O 드라이버

【청구항 3】

제 1 항에 있어서,



상기 DQ 스위치는 LVT NMOS 트랜지스터 또는 LVT PMOS 트랜지스터인 것을 특징으로 하는 I/O 드라이버.

【청구항 4】

제 1 항에 있어서,

상기 DQ 스위치는 적어도 두개의 LVT NMOS 트랜지스터 또는 적어도 두개의 LVT PMOS 트랜지스터가 병렬로 접속된 것을 특징으로 하는 I/O 드라이버.

【청구항 5】

제 1 항에 있어서,

상기 DQ 스위치는 전송 게이트인 것을 특징으로 하는 I/O 드라이버.

【청구항 6】

제 5 항에 있어서,

상기 전송 게이트는 LVT NMOS 트랜지스터와 LVT PMOS 트랜지스터가 병렬 접속된 것을 특징으로 하는 I/O 드라이버.

【청구항 7】

제 6 항에 있어서,



상기 LVT NMOS 트랜지스터는 펌핑전압 또는 전원전압에 의해 구동되는 것을 특징으로 하는 I/O 드라이버.

【청구항 8】

제 6 항에 있어서,

상기 LVT PMOS 트랜지스터는 네가티브 펌핑전압 또는 접지전압에 의해 구동되는 것을 특징으로 하는 I/O 드라이버.

【청구항 9】

제 1 항에 있어서,

상기 DQ 스위치는 전원전압보다 높은 펌핑전압으로 구동되는 것을 특징으로 하는 I/O 드라이버.

【청구항 10】

제 1 항에 있어서,

상기 DQ 스위치의 총 정전용량은 상기 출력 드라이버의 총 정전용량보다 작은 것을 특징으로 하는 I/O 드라이버.

【청구항 11】

제 1 항에 있어서,



상기 DQ 스위치와 상기 DQ 패드가 접속되는 노드와 전원전압원 사이에 접속되는 ODT 회로를 더 포함하는 것을 특징으로 하는 I/O 드라이버.

【청구항 12】

제 1 항에 있어서,

상기 입력 버퍼와 상기 DQ 패드 사이에 접속되는 ESD 회로 및 CDM 회로를 더 포함하는 것을 특징으로 하는 I/O 드라이버.

【청구항 13】

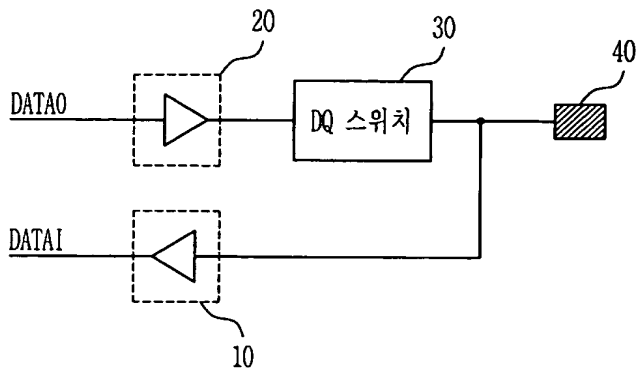
제 1 항에 있어서,

상기 DQ 스위치는 상기 출력 드라이버와 상기 DQ 패드 사이에 접속된 것을 특징으로 하는 I/O 드라이버.

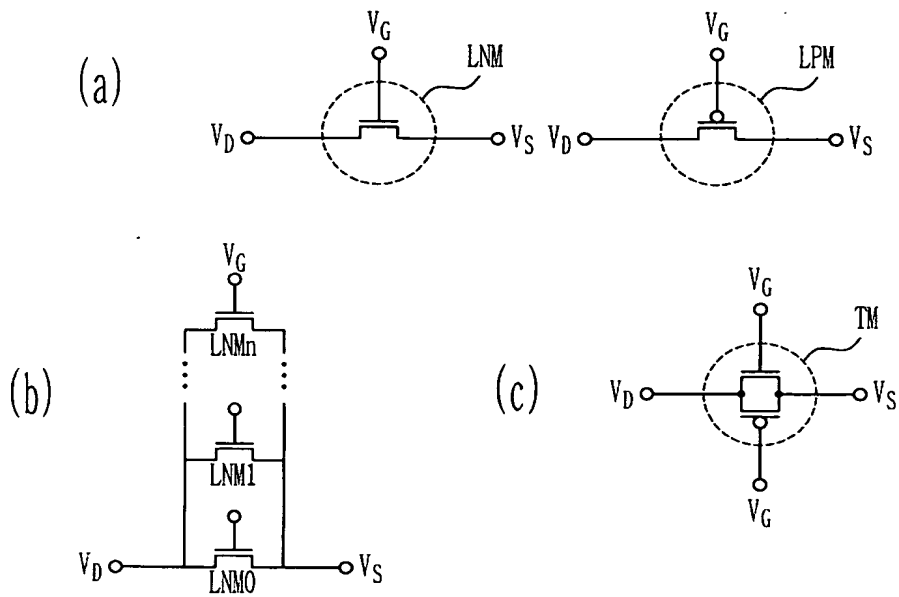


【도면】

【도 1】



【도 2】

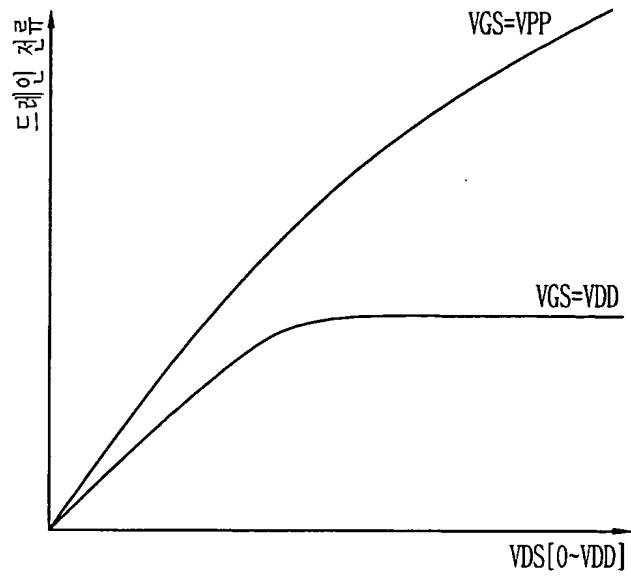




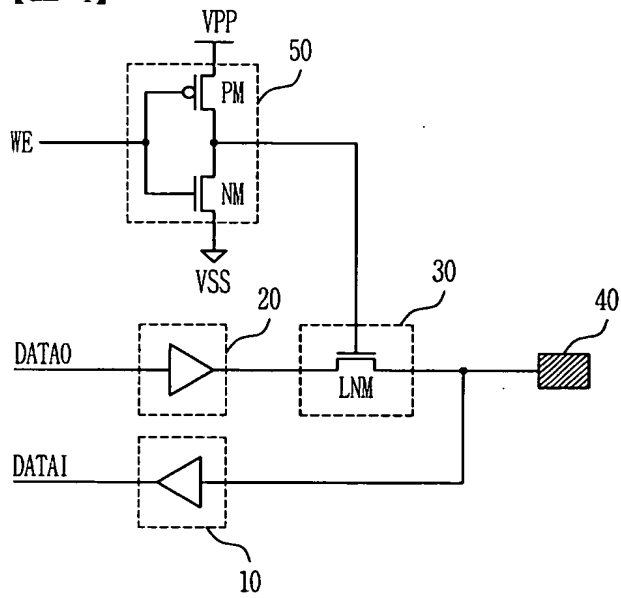
1020030027679

출력 일자: 2003/10/13

【도 3】



【도 4】

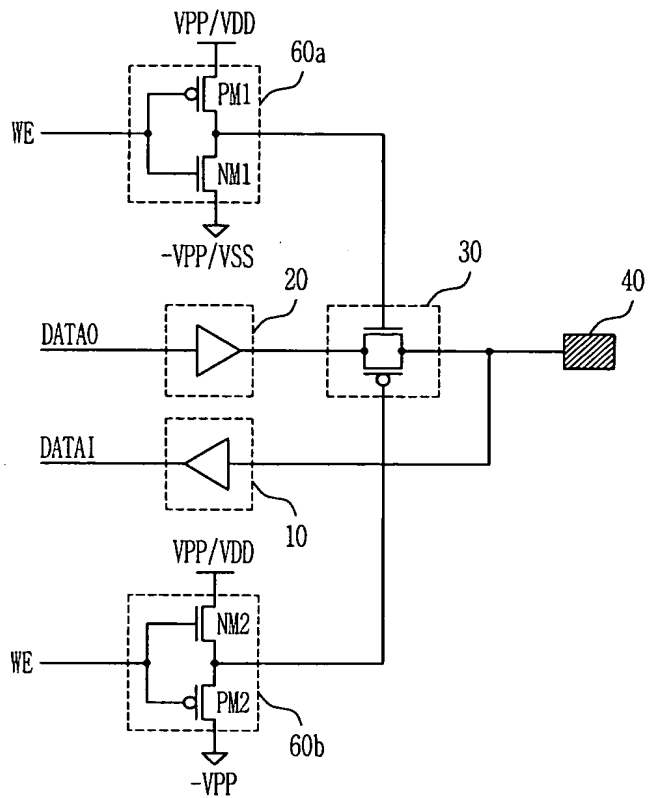




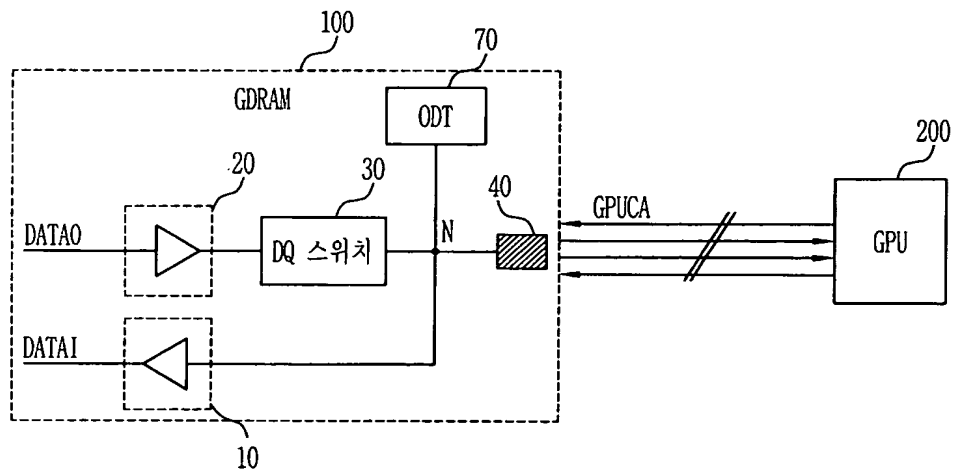
10/20030027679

출력 일자: 2003/10/13

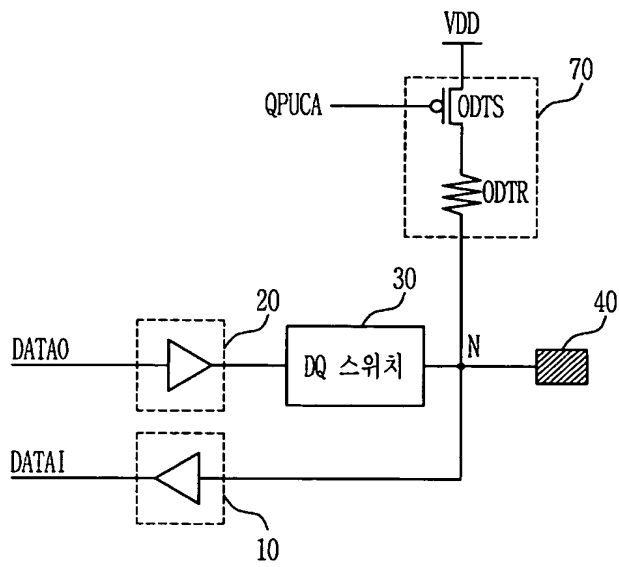
【도 5】



【도 6】



【도 7】



【도 8】

